

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : **08-149170**

(43)Date of publication of application : **07.06.1996**

(51)Int.Cl.

H04L 27/20

H04J 11/00

H04L 27/36

(21)Application number : **06-282155**

(71)Applicant : **MATSUSHITA ELECTRIC IND CO LTD**

(22)Date of filing : **16.11.1994**

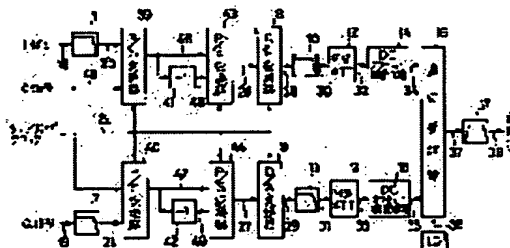
(72)Inventor : **SUDO HIROAKI**

## (54) MODULATOR

### (57)Abstract:

**PURPOSE:** To use a high frequency for a digital frequency conversion signal by forming a digital frequency conversion circuit without the need for a digital multiplier so as to attain high speed processing for the digital frequency conversion circuit.

**CONSTITUTION:** A digital frequency conversion circuit consisting of polarity inverters 41, 42 converting base band I, Q signals 20, 21 whose band is limited into digital I, Q signals 26, 27, and parallel-serial (P/S) converters 39, 40, 43, 44 is used to provide the output of a digital frequency conversion signal whose frequency is equivalent to  $1/4$  of a processing speed of D/A converters 8, 9. Furthermore, harmonic components of the digital frequency signal are outputted as digital frequency conversion signals to make the frequency of an output signal of the digital frequency conversion circuit higher.



## LEGAL STATUS

[Date of request for examination] 16.11.1998

[Date of sending the examiner's decision of rejection] 24.12.2002

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-149170

(43) 公開日 平成8年(1996)6月7日

(51) Int.Cl. <sup>8</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 L 27/20	Z	9297-5K		
H 0 4 J 11/00	Z			
H 0 4 L 27/36				
		9297-5K	H 0 4 L 27/ 00	F
審査請求 未請求 請求項の数 3 O L (全 9 頁)				

(21) 出願番号 特願平6-282155

(22) 出願日 平成6年(1994)11月16日

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 須藤 浩章

神奈川県横浜市港北区綱島東四丁目3番1

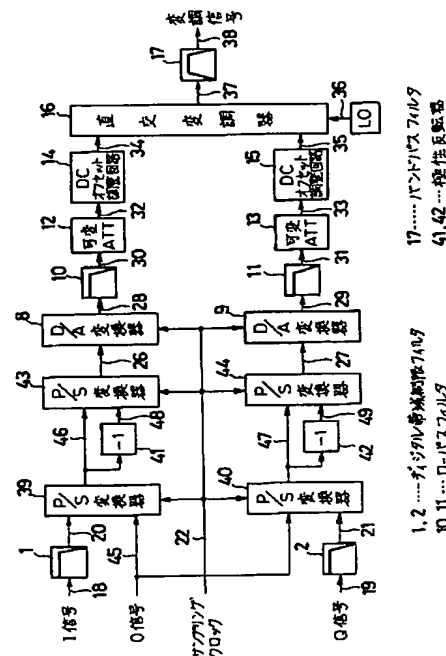
号 松下通信工業株式会社内

(54) 【発明の名称】 変調装置

(57) 【要約】

【目的】 デジタル周波数変換回路をデジタル乗算器を用いずに構成し、デジタル周波数変換回路の高速化を図ることによって、デジタル周波数変換信号の高周波化を図ることができるようにする。

【構成】 帯域制限されたベースバンド I, Q 信号 20, 21 をデジタル I, Q 信号 26, 27 に変換する極性反転器 41, 42 とパラレル-シリアル (P/S) 変換器 39, 40, 43, 44 によって構成されるデジタル周波数変換回路を用いることによって、D/A 変換器 8, 9 の処理速度の 4 分の 1 周波数のデジタル周波数変換信号を出力することができる。また、デジタル周波数信号の高次高調波成分をデジタル周波数変換信号として出力することにより、さらにデジタル周波数変換回路の出力信号の高周波化を図ることができる。



## 【特許請求の範囲】

【請求項1】 ベースバンドI信号、ベースバンドQ信号を帯域制限するデジタル帯域制限フィルタと、極性反転器とパラレル-シリアル変換器によって構成されるデジタル周波数変換回路と、前記デジタル周波数変換回路によって得られるデジタル信号をアナログ信号に変換するD/A変換器と、前記アナログ信号の不要周波数成分を除去するローパスフィルタと、前記アナログ信号の振幅を調整する可変アッテネータと、前記アナログ信号に対し直流オフセット調整を行う直流オフセット調整回路と、前記ベースバンド信号に対し直交変調を行う直交変調器と、前記直交変調器の出力信号の不要周波数成分を除去するバンドパスフィルタとからなり、前記バンドパスフィルタの出力から変調信号を得ることを特徴とする変調装置。

【請求項2】 ベースバンドI信号、ベースバンドQ信号を帯域制限するデジタル帯域制限フィルタと、極性反転器とパラレル-シリアル変換器によって構成されるデジタル周波数変換回路と、前記デジタル周波数変換回路によって得られるデジタル信号をアナログ信号に変換するD/A変換器と、前記アナログ信号の高次高調波成分を出力信号として取り出し、不要周波数成分を除去するバンドパスフィルタと、前記アナログ信号の振幅を調整する可変アッテネータと、前記アナログ信号に対し直流オフセット調整を行う直流オフセット調整回路と、前記ベースバンド信号に対し直交変調を行う直交変調器と、前記直交変調器の出力信号の不要周波数成分を除去するバンドパスフィルタとからなり、前記バンドパスフィルタの出力から変調信号を得ることを特徴とする変調装置。

【請求項3】 ベースバンドI信号、ベースバンドQ信号を帯域制限するデジタル帯域制限フィルタと、極性反転器とパラレル-シリアル変換器によって構成されるデジタル周波数変換回路と、前記デジタル周波数変換回路によって得られるデジタル信号を極性反転する極性反転器と、前記極性反転されたデジタル信号をアナログ信号に変換するD/A変換器と、前記アナログ信号の折り返し雑音成分を出力信号として取り出し、不要周波数成分を除去するバンドパスフィルタと、前記アナログ信号の振幅を調整する可変アッテネータと、前記アナログ信号に対し直流オフセット調整を行う直流オフセット調整回路と、前記ベースバンド信号に対し直交変調を行う直交変調器と、前記直交変調器の出力信号の不要周波数成分を除去するバンドパスフィルタとからなり、前記バンドパスフィルタの出力から変調信号を得ることを特徴とする変調装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、デジタル移動体通信等の無線機に使用する変調装置に関する。

## 【0002】

【従来の技術】図5は従来のこの種の変調装置の構成を示すブロック図である。図5において、1、2はベースバンドI、Q信号18、19を帯域制限するデジタル帯域制限フィルタ、3、4は帯域制限されたベースバンドI、Q信号20、21とキャリア信号(COS信号24、SIN信号25)を乗算するデジタル乗算器、5、6はそれぞれCOS波形信号、SIN波形信号を出力するROM、7はROM5、6からキャリア信号を呼び出すカウンタ、8、9はデジタル信号をアナログ信号に変換するD/A変換器、10、11は前記D/A変換器8、9によって得られたアナログ信号の不要周波数成分を除去するローパスフィルタ、12、13はアナログベースバンドI、Q信号30、31の振幅を調整する可変アッテネータ(AT)、14、15は前記振幅調整されたアナログベースバンドI、Q信号32、33に対し直流オフセット調整を行う直流(DC)オフセット調整回路、16は前記直流オフセット調整されたアナログベースバンドI、Q信号34、35に対し直交変調を行う直交変調器、17は前記直交変調器16の出力である直交変調信号37の不要周波数成分を除去するバンドパスフィルタである。

【0003】以上のように構成された変調装置の動作を説明すると、まずベースバンドI信号18およびベースバンドQ信号19がそれぞれデジタル帯域制限フィルタ1、2に輸入され、帯域制限されて、それぞれ帯域制限されたベースバンドI信号20、ベースバンドQ信号21が得られる。

【0004】次に、前記帯域制限されたベースバンドI信号20、ベースバンドQ信号21は、それぞれデジタル乗算器3、4に輸入される。また、サンプリングクロック22がカウンタ7に輸入され、カウンタ7から制御信号23が出力される。この制御信号23はROM5、6のアドレスに輸入され、それぞれROM5からCOS波形信号24、ROM6からSIN波形信号25が出力され、それぞれデジタル乗算器3、4に輸入される。そして、帯域制限されたベースバンドI信号20とCOS波形信号24はデジタル乗算器3によって乗算され、デジタル周波数変換されたベースバンドI信号26が得られる。また、帯域制限されたベースバンドQ信号21とSIN波形信号25はデジタル乗算器4によって乗算され、デジタル周波数変換されたベースバンドQ信号27が得られる。

【0005】このベースバンドI信号26およびベースバンドQ信号27は、それぞれのD/A変換器8、9に輸入され、アナログI信号28、アナログQ信号29が得られる。

【0006】これらアナログI信号28、アナログQ信号29は、それぞれローパスフィルタ10、11に輸入され、不要周波数成分を除去され、それぞれアナログベースバンドI信号30、アナログベースバンドQ信号31が得られる。

【0007】次に前記アナログベースバンド I、Q 信号 30、31 は、それぞれの可変アッテネータ (ATT) 12、13 に入力され、それぞれアナログベースバンド I、Q 信号 32、33 が得られる。このアナログベースバンド I、Q 信号 32、33 は、それぞれ直流オフセット調整回路 14、15 に入力され、直流オフセット調整されて、アナログベースバンド I、Q 信号 34、35 が得られる。

【0008】次に、このアナログベースバンド I、Q 信号 34、35 は直交変調器 16 に入力される。また直交変調器 16 に局部発振器 L O から局部発振信号 36 が入力され、アナログベースバンド I、Q 信号 34、35 が直交変調され、直交変調信号 37 が得られる。

【0009】最後に、この直交変調信号 37 はバンドパスフィルタ 17 に入力され、不要周波数成分を除去されることによって、変調信号 38 が得られ出力される。

【0010】

【発明が解決しようとする課題】しかしながら、上記従来のデジタル乗算器を用いたデジタル周波数変換回路によってデジタル周波数変換されたベースバンド I、Q 信号を直交変調した後に生じるキャリアリークおよびイメージリークは、一般に後段のバンドパスフィルタによって除去される。しかし、デジタル周波数変換信号の周波数が低くなるにつれて、直交変調後に生じるキャリアリークおよびイメージリークは希望信号に近接して生じるため、急峻なフィルタが要求され、フィルタの実現が困難になる。したがって、デジタル周波数変換信号の高周波化を図る必要がある。

【0011】しかし、上記構成のデジタル周波数変換回路では、このデジタル周波数変換回路によって出力されるデジタル周波数変換信号の周波数が、一般的にデジタル乗算器の処理速度によって決定される。1 周期当たりのサンプリング数を 4 とした場合、デジタル周波数変換信号の周波数はデジタル乗算器の処理速度の 4 分の 1 が限界であるという欠点があった。

【0012】本発明は、このような従来の欠点を解決するもので、デジタル周波数変換回路をデジタル乗算器を用いずに構成することにより、デジタル周波数変換の処理速度の高速化を図り、さらにデジタル周波数変換回路の出力信号の高周波化を図ることを第 1 の目的とする。

【0013】また、デジタル周波数変換回路をデジタル乗算器を用いずに構成し、さらに前記デジタル周波数変換信号の高次高調波成分をデジタル周波数変換信号として出力することにより、さらにデジタル周波数変換回路の出力信号の高周波化を図ることを第 2 の目的とする。

【0014】また、デジタル周波数変換回路をデジタル乗算器を用いずに構成し、さらに前記デジタル周波数変換信号の折り返し雑音成分をデジタル周波数変換信号として出力することにより、さらにデジタル周

波数変換回路の出力信号の高周波化を図ることを第 3 の目的とする。

【0015】

【課題を解決するための手段】本発明は、上記第 1 の目的を達成するため、ベースバンド I、Q 信号を帯域制限するデジタル帯域制限フィルタと、極性反転器とパラレル-シリアル変換器によって構成されるデジタル周波数変換回路と、前記デジタル周波数変換回路によって得られるデジタル信号をアナログ信号に変換する D/A 変換器と、前記アナログ信号の不要周波数成分を除去するローパスフィルタと、前記アナログ信号の振幅を調整する可変アッテネータと、前記アナログ信号に対し直流オフセット調整を行う直流オフセット調整回路と、前記ベースバンド信号に対し直交変調を行う直交変調器と、前記直交変調器の出力信号の不要周波数成分を除去するバンドパスフィルタとからなることを特徴とする。

【0016】また、上記第 2 の目的を達成するため、ベースバンド I、Q 信号を帯域制限するデジタル帯域制限フィルタと、極性反転器とパラレル-シリアル変換器によって構成されるデジタル周波数変換回路と、前記デジタル周波数変換回路によって得られるデジタル信号をアナログ信号に変換する D/A 変換器と、前記アナログ信号の高次高調波成分を出力信号として取り出し、不要周波数成分を除去するバンドパスフィルタと、前記アナログ信号の振幅を調整する可変アッテネータと、前記アナログ信号に対し直流オフセット調整を行う直流オフセット調整回路と、前記ベースバンド信号に対し直交変調を行う直交変調器と、前記直交変調器の出力信号の不要周波数成分を除去するバンドパスフィルタとからなることを特徴とする。

【0017】また上記第 3 の目的を達成するため、ベースバンド I、Q 信号を帯域制限するデジタル帯域制限フィルタと、極性反転器とパラレル-シリアル変換器によって構成されるデジタル周波数変換回路と、前記デジタル周波数変換回路によって得られるデジタル信号を極性反転する極性反転器と、前記極性反転されたデジタル信号をアナログ信号に変換する D/A 変換器と、前記アナログ信号の折り返し雑音成分を出力信号として取り出し、不要周波数成分を除去するバンドパスフィルタと、前記アナログ信号の振幅を調整する可変アッテネータと、前記アナログ信号に対し直流オフセット調整を行う直流オフセット調整回路と、前記ベースバンド信号に対し直交変調を行う直交変調器と、前記直交変調器の出力信号の不要周波数成分を除去するバンドパスフィルタとからなり、前記バンドパスフィルタの出力から変調信号を得ることを特徴とする。

【0018】

【作用】本発明によれば、帯域制限されたベースバンド I、Q 信号をデジタル信号に変換する極性反転器とパラレル-シリアル変換器によって構成されるデジタル

周波数変換回路を用いることによって、本発明ではキャリアの1周期当たりのオーバーサンプリング数を4としているため、D/A変換器の処理速度の4分の1周波数のデジタル周波数変換信号を出力することができる。

【0019】また、デジタル周波数信号の高次高調波成分をデジタル周波数変換信号として出力することにより、さらにデジタル周波数変換回路の出力信号の高周波化を図ることができる。

【0020】

【実施例】以下、本発明の各実施例を図面を参照し説明する。

【0021】(実施例1)図1は本発明の第1の実施例における変調装置の構成を示すブロック図である。図1において、39、40と43、44は2つの系統の信号を1つの系統の信号に変換するパラレル-シリアル変換器(以下、P/S変換器という)、41、42はデジタル信号の極性を反転する極性反転器であり、これら極性反転器41、42およびP/S変換器39、40、43、44によってデジタル周波数変換回路を構成する。その他、前記図5と同じ機能の各ブロック、信号等には同じ番号を付し、その説明を省略する。

【0022】図2は図1の変調装置におけるデジタル周波数変換回路のタイミングチャートを示し、後述する図3、図4の変調装置におけるデジタル周波数変換回路のタイミングチャートでもある。ここでは、図1に対応して説明する。Aはサンプリングクロックで、図1の22に対応する。BはサンプリングクロックAを2分周したサンプリングクロック、Cは帯域制限されたベースバンドI信号で、図1の20に対応する。Dは帯域制限されたベースバンドQ信号で、図1の21に対応する。Eは0信号(例えば、演算ビット数を8ビットとした場合、1000000の8ビット信号となる)で、図1の45に対応する。FはベースバンドI信号と0信号を時間順に合成して1つの系統にした信号で、図1の46に対応する。GはベースバンドI信号を極性反転した信号と0信号を時間順に合成して1つの系統にした信号、Hはデジタル周波数変換されたベースバンドI信号で、図1の26に対応する。IはベースバンドQ信号と0信号を時間順に合成して1つの系統にした信号で、図1の47に対応する。JはベースバンドQ信号を極性反転した信号と0信号を時間順に合成して1つの系統にした信号、Kはデジタル周波数変換されたベースバンドQ信号で、図1の27に対応する。

【0023】以上のように構成された変調装置の動作を図2のタイミングチャートを用いて説明する。まず、ベースバンドI信号18およびベースバンドQ信号19がそれぞれデジタル帯域制限フィルタ1、2に入力され帯域制限されて、それぞれ図2のC、Dに示すベースバンドI信号20、ベースバンドQ信号21が得られる。

【0024】次に、この帯域制限されたCのベースバン

ドI信号20とEの0信号(45)は、P/S変換器39によってAのサンプリングクロック22のタイミングで時間順に合成されて1つの系統の図2に示すFの信号46とされ、信号F(46)の信号I1(nT)が出力される。この信号F(46)の信号I1(nT)は(数1)で示される。

【0025】

【数1】

$$I1(nT) = I(nT); n = 2k \\ 0; n = 2k+1$$

ただし、n:1, 2, 3, ……、k:1, 2, 3, ……、T:サンプリングクロック周期

次に、信号F(46)の信号I1(nT)は2つの系統の信号に分けられ、そのうちの1つの系統の信号は極性反転器41によって極性反転されて、図2に示すGの信号48の信号I2(nT)が得られる。この信号G(48)の信号I2(nT)は(数2)で示される。

【0026】

【数2】

$$I2(nT) = -I(nT); n = 2k \\ 0; n = 2k+1$$

ただし、n:1, 2, 3, ……、k:1, 2, 3, ……、T:サンプリングクロック周期

次に、信号F(46)の信号I1(nT)と信号G(48)の信号I2(nT)は、P/S変換器43によってAのサンプリングクロック22を2分周したBのサンプリングクロックのタイミングで時間順に合成されて1つの系統の図2に示すHの信号26とされ、信号H(26)のデジタル周波数変換されたI信号I3(nT)が出力される。この信号I3(nT)は(数3)で示される。

【0027】

【数3】

$$I3(nT) = I(nT); n = 4k \\ 0; n = 4k+1 \\ -I(nT); n = 4k+2 \\ 0; n = 4k+3$$

ただし、n:1, 2, 3, ……、k:1, 2, 3, ……、T:サンプリングクロック周期

同様に、帯域制限されたDのベースバンドQ信号21とEの0信号(45)は、P/S変換器40によってAのサンプリングクロック22のタイミングで時間順に合成されて1つの系統の図2に示すIの信号47とされ、信号I(47)の信号Q1(nT)が出力される。この信号I(47)の信号Q1(nT)は(数4)で示される。

【0028】

【数4】

$$Q1(nT) = 0; n = 2k \\ Q(nT); n = 2k+1$$

ただし、n:1, 2, 3, ……、k:1, 2, 3, ……、T:サンプリングクロック周期

次に、信号I(47)の信号Q1(nT)は2つの系統の信号に

分けられ、そのうちの1つの系統の信号は極性反転器42によって極性反転されて、図2に示すJの信号49の信号Q2(nT)が得られる。この信号J(49)の信号Q2(nT)は(数5)で示される。

【0029】

【数5】

$$Q2(nT) = 0 \quad ; n = 2k \\ -Q(nT) ; n = 2k + 1$$

ただし、n: 1, 2, 3, ……、k: 1, 2, 3, ……、T: サンプルクロック周期

次に、信号I(47)の信号Q1(nT)と信号J(49)の信号Q2(nT)は、P/S変換器44によってAのサンプルクロック22を2分周したBのサンプルクロックのタイミングで時間順に合成されて1つの系統の図2に示すKの信号27とされ、信号K(27)のデジタル周波数変換されたQ信号Q3(nT)が出力される。この信号Q3(nT)は(数6)で示される。

【0030】

【数6】

$$Q3(nT) = 0 \quad ; n = 4k \\ Q(nT) ; n = 4k + 1 \\ 0 \quad ; n = 4k + 2 \\ -Q(nT) ; n = 4k + 3$$

ただし、n: 1, 2, 3, ……、k: 1, 2, 3, ……、T: サンプルクロック周期

HのベースバンドI信号(26)およびKのベースバンドQ信号(27)は、それぞれD/A変換器8, 9に入力され、それぞれアナログI信号28, アナログQ信号29が得られる。

【0031】このアナログI信号28, アナログQ信号29は、それぞれローパスフィルタ10, 11に入力され、不要周波数成分を除去され、それぞれアナログベースバンドI信号30, アナログベースバンドQ信号31が得られる。

【0032】次に、このアナログベースバンドI, Q信号30, 31は、それぞれ可変アッテネータ(ATT)12, 13に入力され、それぞれアナログベースバンドI, Q信号32, 33が得られる。このアナログベースバンドI, Q信号32, 33はそれぞれ直流オフセット調整回路14, 15に入力され、直流オフセット調整されて、それぞれアナログベースバンドI, Q信号34, 35が得られる。

【0033】次に、このアナログベースバンドI, Q信号34, 35は直交変調器16に入力される。また、直交変調器16には局部発振器LOからの局部発振信号36が入力され、アナログベースバンドI, Q信号34, 35が直交変調され、直交変調信号37が得られる。

【0034】最後に、この直交変調信号37はバンドパスフィルタ17に入力され、不要周波数成分を除去されることによって、変調信号38が得られ出力される。

【0035】以上のように本実施例(1)は、従来のようなデジタル乗算器を用いず、極性反転器とP/S変換

10

器とからなるデジタル周波数変換回路によって、本発明ではキャリアの1周期当たりのオーバーサンプリング数を4としているため、D/A変換器の処理速度の4分の1の周波数のデジタル周波数変換信号を出力することができる。

【0036】例えば、演算ビット数を10ビットとした場合、現状の一般的な市販10ビットデジタル乗算器の最高処理速度は40MHz程度であり、従来構成ではデジタル周波数変換信号の周波数は10MHz程度が限界である。

しかし、一般的な市販10ビットのD/A変換器の最高処理速度は400MHz程度であるため、本実施例(1)では、デジタル周波数変換信号の周波数を100MHz程度とすることができ、従来構成の10倍程度の周波数のデジタル周波数変換信号を得ることができる。

【0037】(実施例2)図3は本発明の第2の実施例における変調装置の構成を示すブロック図である。この第2の実施例が前記第1の実施例(図1)と異なるところは、D/A変換器8, 9から出力されたアナログI信号28およびアナログQ信号29の高次高調波成分を出力信号として取り出し、不要周波数成分を除去するバンドパスフィルタ50, 51を備えた構成にある。

20

【0038】ここで、前記図1にて説明した同じ機能の各ブロック信号等には同じ番号を付し、その説明を省略する。

【0039】次に、第2の実施例の動作を説明すると、D/A変換器8, 9から出力されるアナログI信号28およびアナログQ信号29を得るまでは、図2のタイミングチャートに示す順序で、前記第1の実施例と同じである。

30

【0040】アナログI信号28およびアナログQ信号29は、それぞれバンドパスフィルタ50, 51によって、例えば第2次高調波を出力信号として取り出し、不要周波数成分を除去されることによって、アナログベースバンドI信号30およびアナログベースバンドQ信号31が得られる。

【0041】以下の動作は前記第1の実施例と同様であるので説明を省略する。

【0042】以上のように本実施例(2)は従来のようなデジタル乗算器を用いず、極性反転器とP/S変換器とからなるデジタル周波数変換回路によって、デジタル周波数変換信号の基本波成分の周波数は、本発明においてはキャリアの1周期当たりのオーバーサンプリング数を4としているため、D/A変換器の処理速度の4分の1とすることができる。また、バンドパスフィルタによって、例えば第2次高調波を出力信号として取り出し、不要周波数成分を除去したアナログベースバンドI, Q信号が得られる。

40

【0043】また、サンプリングの定理により、第2次高調波成分の周波数は基本波成分の周波数の5倍である。したがって、本実施例(2)では、D/A変換器の処

50

理速度の4分の5の周波数のデジタル周波数変換信号を得ることができる。

【0044】例えば、演算ビット数を10ビットとした場合、現状の一般的な市販10ビットデジタル乗算器の最高処理速度は40MHz程度であり、従来構成ではデジタル周波数変換信号の周波数は10MHz程度が限界である。しかし、一般的な市販10ビットのD/A変換器の最高処理速度は400MHz程度であるため、本実施例(2)では、デジタル周波数変換信号の周波数を500MHz程度とすることができ、従来構成の50倍程度の周波数のデジタル周波数変換信号を得ることができる。

【0045】(実施例3)図4は本発明の第3の実施例における変調装置の構成を示すブロック図である。この第3の実施例が前記第2の実施例(図3)と異なるところは、デジタル周波数変換されたベースバンドI信号26とベースバンドQ信号27を極性反転する極性反転器52、53と、前記極性反転されたベースバンドI、Q信号54、55のデジタル信号をアナログ信号に変換するD/A変換器8、9の出力部であるアナログI信号28およびアナログQ信号29の折り返し雑音成分を出力信号として取り出し、不要周波数成分を除去するバンドパスフィルタ50、51を備えた構成にある。

【0046】ここで、前記図1および図3にて説明した同じ機能の各ブロック、信号等には同じ符号を付し、その説明を省略する。

【0047】次に、第3の実施例の動作を図2のタイミングチャートを用いて説明する。

【0048】Hのデジタル周波数変換されたI信号(26)およびKのデジタル周波数変換されたQ信号(27)を得るまでは、前記第1の実施例と同じである。

【0049】Hのデジタル周波数変換されたI信号(26)とKのデジタル周波数変換されたQ信号(27)は、それぞれ極性反転器52、53により極性反転され、それぞれベースバンドI信号54、ベースバンドQ信号55が得られる。

【0050】ベースバンドI信号54、ベースバンドQ信号55はそれぞれD/A変換器8、9に入力され、それぞれアナログI信号28、アナログQ信号29が得られる。

【0051】これらのアナログI信号28およびアナログQ信号29は、それぞれバンドパスフィルタ50、51によって、折り返し雑音成分を出力信号として取り出し、不要周波数成分を除去されることによって、アナログベースバンドI信号30、アナログベースバンドQ信号31が得られる。

【0052】以下の動作は前記第1の実施例と同様であるので説明を省略する。

【0053】以上のように本実施例(3)は従来のようなデジタル乗算器を用いず、極性反転器とP/S変換器とからなるデジタル周波数変換回路によって、デジタル周波数変換信号の基本波成分の周波数は、本発明に

においてはキャリアの1周期当たりのオーバーサンプリング数を4としているため、D/A変換器の処理速度の4分の1とすることができる。また、バンドパスフィルタによって、折り返し雑音成分を取り出し、不要周波数成分を除去したアナログベースバンドI、Q信号が得られる。

【0054】また、サンプリングの定理により、折り返し雑音成分の周波数は基本波成分の周波数の3倍である。したがって、本実施例(3)では、D/A変換器の処理速度の4分の3の周波数のデジタル周波数変換信号を得ることができる。

【0055】例えば、演算ビット数を10ビットとした場合、現状の一般的な市販10ビットデジタル乗算器の最高処理速度は40MHz程度であり、従来構成ではデジタル周波数変換信号の周波数は10MHz程度が限界である。しかし、一般的な市販10ビットのD/A変換器の最高処理速度は400MHz程度であるため、本実施例(3)では、デジタル周波数変換信号の周波数を300MHz程度とすることができ、従来構成の30倍程度の周波数のデジタル周波数変換信号を得ることができる。

【0056】

【発明の効果】以上説明したように、本発明は、デジタル周波数変換回路を従来のようなデジタル乗算器を用いず、極性反転器とパラレル-シリアル変換器によって構成されることによって、デジタル周波数変換信号の基本波成分の周波数は、D/A変換器の処理速度の4分の1とすることができる。

【0057】また、請求項1記載の発明によれば、例えば、演算ビット数を10ビットとした場合、現状の一般的な市販10ビットデジタル乗算器の最高処理速度は40MHz程度であり、従来構成ではデジタル周波数変換信号の周波数は10MHz程度が限界である。しかし、一般的な市販10ビットのD/A変換器の最高処理速度は400MHz程度であるため、本実施例(1)では、デジタル周波数変換信号の周波数を100MHz程度とすることができ、従来構成の10倍程度の周波数のデジタル周波数変換信号を得ることができる。

【0058】また請求項2記載の発明によれば、バンドパスフィルタによって、例えば第2次高調波を出力信号として取り出し、不要周波数成分を除去したアナログI、Q信号が得られる。また、サンプリングの定理により、第2次高調波成分の周波数は基本波成分の周波数の5倍である。したがって、第2の実施例では、D/A変換器の処理速度の4分の5の周波数のデジタル周波数変換信号を得ることができる。

【0059】例えば、演算ビット数を10ビットとした場合、現状の一般的な市販10ビットデジタル乗算器の最高処理速度は40MHz程度であり、従来構成ではデジタル周波数変換信号の周波数は10MHz程度が限界である。しかし、一般的な市販10ビットのD/A変換器の最高処

10

20

30

40

50



理速度は400MHz程度であるため、本実施例(2)では、デジタル周波数変換信号の周波数を500MHz程度とすることができ、従来構成の50倍程度の周波数のデジタル周波数変換信号を得ることができる。

【0060】また請求項3記載の発明によれば、バンドパスフィルタによって、折り返し雑音成分を取り出し、不要周波数成分を除去したアナログベースバンドI、Q信号が得られる。また、サンプリングの定理により、折り返し雑音成分の周波数は基本波成分の周波数の3倍である。したがって、本実施例(3)では、D/A変換器の

処理速度の4分の3の周波数のデジタル周波数変換信号を得ることができる。

【0061】例えば、演算ビット数を10ビットとした場合、現状の一般的な市販10ビットデジタル乗算器の最高処理速度は40MHz程度であり、従来構成ではデジタル周波数変換信号の周波数は10MHz程度が限界である。しかし、一般的な市販10ビットのD/A変換器の最高処理速度は400MHz程度であるため、本実施例(3)では、デジタル周波数変換信号の周波数を300MHz程度とすることができ、従来構成の30倍程度の周波数のデジタル周波数変換信号を得ることができる。

#### 【図面の簡単な説明】

【図1】本発明の第1の実施例における変調装置の構成を示すブロック図である。

【図2】図1、図3および図4のデジタル周波数変換回路のタイミングチャートである。

【図3】本発明の第2の実施例における変調装置の構成を示すブロック図である。

【図4】本発明の第3の実施例における変調装置の構成を示すブロック図である。

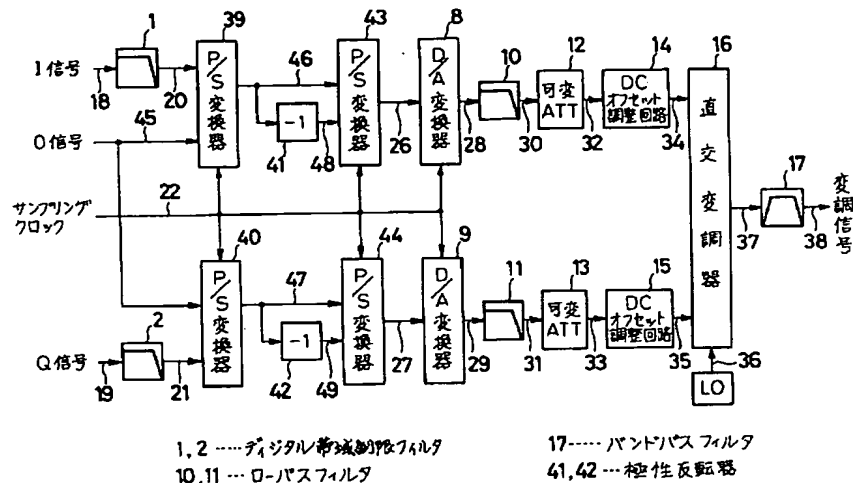
【図5】従来の変調装置の構成を示すブロック図であ

＊る。

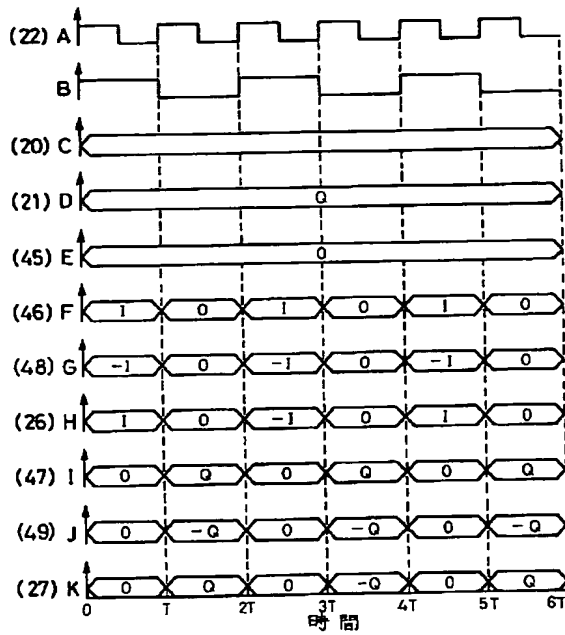
#### 【符号の説明】

1, 2…デジタル帯域制限フィルタ、 8, 9…D/A変換器、 10, 11…ローパスフィルタ、 12, 13…可変アッテネータ(ATT)、 14, 15…直流(DC)オフセット調整回路、 16…直交変調器、 17, 50, 51…バンドパスフィルタ、 18…ベースバンドI信号、 19…ベースバンドQ信号、 20…帯域制限されたベースバンドI信号、 21…帯域制限されたベースバンドQ信号、 22…サンプリングクロック、 26…デジタル周波数変換されたベースバンドI信号、 27…デジタル周波数変換されたベースバンドQ信号、 28…アナログI信号、 29…アナログQ信号、 30…アナログI信号28の不要周波数成分を除去したアナログベースバンドI信号、 31…アナログQ信号29の不要周波数成分を除去したアナログベースバンドQ信号、 32…アナログベースバンドI信号30を振幅調整したアナログベースバンドI信号、 33…アナログベースバンドQ信号31を振幅調整したアナログベースバンドQ信号、 34…アナログベースバンドI信号32を直流オフセット調整したアナログベースバンドI信号、 35…アナログベースバンドQ信号33を直流オフセット調整したアナログベースバンドQ信号、 36…局部発振信号、 37…直交変調信号、 38…変調信号、 39, 40, 43, 44…パラレル-シリアル(P/S)変換器、 41, 42, 52, 53…極性反転器、 45…0信号、 46…I信号と0信号を時間順に合成し1つの系統にした信号、 47…Q信号と0信号を時間順に合成し1つの系統にした信号、 48…信号46を極性反転した信号、 49…信号47を極性反転した信号、 54…ベースバンドI信号26を極性反転したベースバンドI信号、 55…ベースバンドQ信号27を極性反転したベースバンドQ信号。

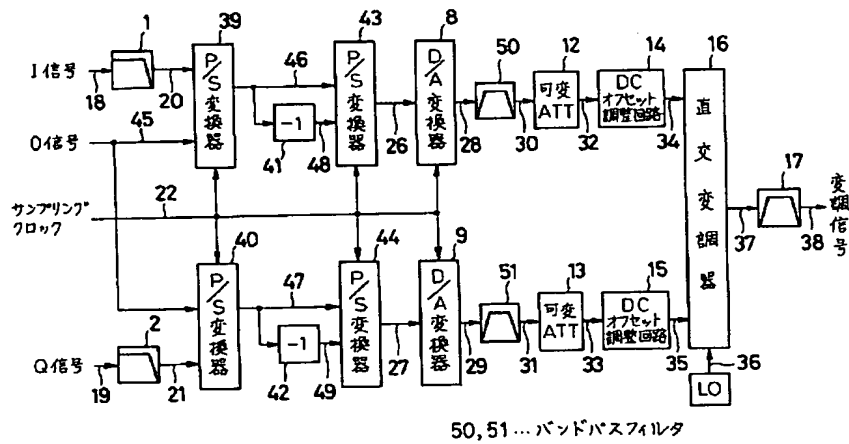
【図1】



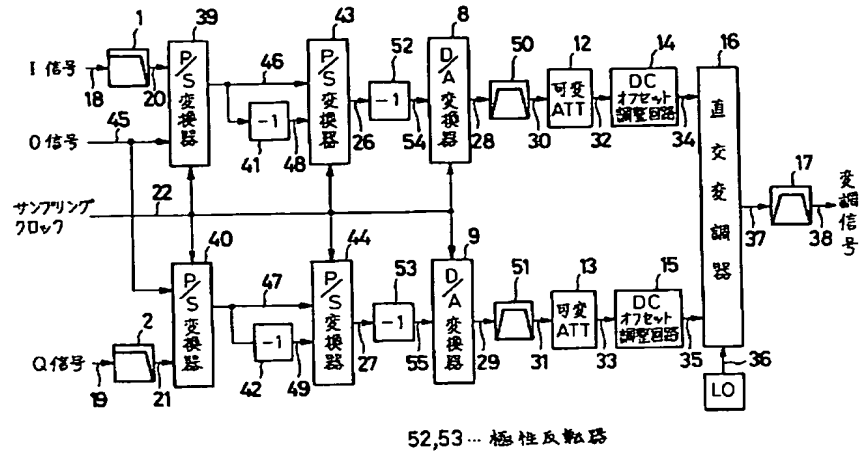
【図2】



【図3】



【図 4】



【図 5】

